

PAT-NO: JP02000260769A

DOCUMENT-IDENTIFIER: JP 2000260769 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: September 22, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
AZUMA, KAZUYUKI	N/A
MATSUNAGA, NORIAKI	N/A
KAJITA, AKIHIRO	N/A
TOYODA, HIROSHI	N/A
MATSUDA, TETSURO	N/A
KANEKO, HISAFUMI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
TOSHIBA CORP	N/A

APPL-NO: JP11064593

APPL-DATE: March 11, 1999

INT-CL (IPC): H01L021/3205, H01L021/28

ABSTRACT:

PROBLEM TO BE SOLVED: To form a wiring which reduces inter-wiring capacity and wiring resistance, with good barrier property and uniformity.

SOLUTION: In this manufacturing method of a semiconductor device, an Si metal layer 2 is selectively formed as an etching mask on an insulating film 1, a groove pattern 4 is formed by selectively removing the insulating film 1 by using the Si metallic layer 2, a Cu metal layer 6 is formed inside a groove pattern while leaving the Si metallic layer 2, a Ti metal layer 7 is formed as a barrier member which shows different eutectic reactions by Cu and an etching mask by heat treatment in a nitrogen atmosphere, the Ti metallic layer 7 on the Cu metal layer 6 is selectively nitrified by performing heat treatment for the

Ti metal layer 7 in a nitrogen atmosphere, and a TiN film 9 is formed as a barrier layer selectively on the Cu metal layer 6 by selectively removing the Ti metal layer 7 on the Si metal layer 2.

COPYRIGHT: (C)2000,JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 許出願公開番号
特開2000-260769
(P2000-260769A)

(43)公開日 平成12年9月22日(2000.9.22)

(51) Int.Cl. ¹	識別記号	F I	マーク(参考)
H 01 L 21/3205		H 01 L 21/88	M 4 M 1 0 4
21/28		21/28	K 5 F 0 3 3
		21/88	K
			R

審査請求 未請求 請求項の数4 OL (全7頁)

(21) 出願番号 特願平11-64593
(22) 出願日 平成11年3月11日(1999.3.11)

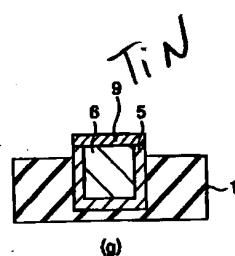
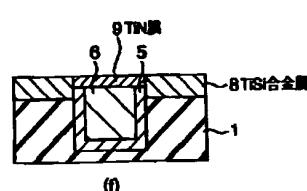
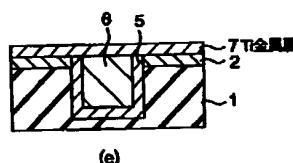
(71) 出願人 000003078
株式会社東芝
神奈川県川崎市幸区横川町72番地
(72) 発明者 東 和幸
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(72) 発明者 松永 篤昭
神奈川県横浜市磯子区新杉田町8番地 株
式会社東芝横浜事業所内
(74) 代理人 100058479
弁理士 鈴江 武彦 (外6名)

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】バリア性及び均一性よく配線間容量及び配線抵抗を低減させる配線を形成する。
【解決手段】絶縁膜1上に選択的にエッチングマスクとしてSi金属層2を形成し、絶縁膜1をSi金属層2を用いて選択的に除去して溝パターン4を形成し、Si金属層2を残存させたまま溝パターン内にCu金属層6を形成し、Si金属層2とCu金属層6上に、窒素雰囲気中での熱処理によりCuとエッチングマスクとで異なる共晶反応を示すバリア部材としてTi金属層7を形成し、Ti金属層7を窒素雰囲気で熱処理することによりCu金属層6上のTi金属層7を選択的に窒化し、Si金属層2上のTi金属層7を選択的に除去してCu金属層6上に選択的にバリア層としてTiN膜9を形成する。



1

【特許請求の範囲】

【請求項1】 基板上に絶縁膜を形成する工程と、前記絶縁膜上に選択的にエッチングマスクを形成する工程と、前記絶縁膜をエッチングマスクを用いて選択的に除去して溝を形成する工程と、前記エッティングマスクを残存させたまま前記溝内にCu配線を形成する工程と、前記エッティングマスクと前記Cu配線上にバリア部材を形成する工程と、前記バリア部材を窒素雰囲気あるいは酸素雰囲気で熱処理することにより前記エッティングマスク材と該バリア部材を共晶反応させるとともに、前記Cu配線上の該バリア部材を塗化あるいは酸化する工程と、前記エッティングマスクと共晶反応した前記バリア部材を選択的に除去して前記Cu配線上に選択的にバリア層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 基板上に絶縁膜を形成する工程と、前記絶縁膜上に選択的にエッティングマスクを形成する工程と、前記絶縁膜をエッティングマスクを用いて選択的に除去して溝を形成する工程と、前記エッティングマスクを残存させたまま前記溝内にCu配線を形成する工程と、前記エッティングマスクと前記Cu配線上にバリア部材を形成する工程と、前記バリア部材を熱処理することにより前記エッティングマスク材と該バリア部材を共晶反応させる工程と、前記エッティングマスクと共晶反応した前記バリア部材を選択的に除去して前記Cu配線上に選択的に前記バリア部材を残存させる工程と、残存させた前記バリア部材を塗化あるいは酸化して前記Cu配線上に選択的にバリア層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項3】 前記バリア部材はTi, AlあるいはZrであることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 基板上に絶縁膜を形成する工程と、前記絶縁膜を選択的に除去して溝を形成する工程と、前記溝内にCu配線を形成する工程と、前記Cu配線及び前記絶縁膜上に、Cuよりも酸素との結合力が強く、かつ耐酸化性及び耐Cu拡散バリア性の高いバリア材料を形成する工程と、前記バリア材料を熱処理することにより前記Cu配線上にCuと前記バリア材料との合金層を形成する工程と、前記バリア材料を、該バリア材料を含む酸により処理することにより、前記Cu配線上以外のバリア材料を選択的に除去する工程と、前記Cu配線上に残存した合金層を、Cuを還元させ、

2

かつバリア材料を酸化させる雰囲気で熱処理することにより、該合金層を選択的に酸化してバリア層を形成する工程とを有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に形成されるCu配線の耐酸化性、拡散バリア性の向上に関するものである。

【0002】

【従来の技術】半導体装置の微細化と高集積化に伴って、これに用いられる金属配線もまた微細化と多層化が進行している。この微細金属配線材料として従来はAl合金が用いられてきたが、配線抵抗の増大やエレクトロマイグレーション耐性の劣化が問題となってきた。そこで近年、多層配線材料としてCuが注目されている。

【0003】しかしながら、Cuを用いた配線は、層間絶縁膜堆積あるいはレジストの剥離等の酸化雰囲気で容易に酸化されてしまい、また配線表面を適當なバリアメタルで被覆しないと、層間絶縁膜中へCuが拡散してしまう。Cuが層間絶縁膜中に拡散すると、CuはSiデバイスのライフタイムキラーになり、MOS素子の特性を劣化させる。

【0004】そこで、Cuを用いた配線を実用化するに当たっては、Cuの拡散及び酸化を防止するために配線表面を保護膜で覆う方法が提案されている。Cu配線表面を覆う方法としては、配線表面及び絶縁膜の全面にp-SiNを形成するか、あるいは配線表面のみに選択的にバリア層を成膜する方法が考えられる。

【0005】しかしながら、表面被覆として用いられるp-SiNは比誘電率が大きい(約7)ため、また配線上面のみならず絶縁膜の全面に形成されるため、層間絶縁膜に低誘電率の材料を用いた場合であっても狭ピッチの配線間容量を低減させることができない。

【0006】一方、選択的にCu上にのみバリア層を形成する場合には、成膜したバリア層のバリア性や均一性等の問題が生じる。特に、バリア層が配線表面に対してずれて形成される場合には、バリア性が低減する。また、選択的にCu上にのみバリア層を形成するプロセスでは、Cu配線上にAl等のバリア部材を成膜し、熱処理により反応層を形成した後、酸等によりCu配線上以外のAlをエッチングし、その後の熱処理によりCu配線表面にアルミニナを形成して拡散バリアとする方法が考えられる。しかしながら、反応するAl膜が厚い場合は十分な酸耐性を示すものの、Cu配線中にもAlが拡散して抵抗を上昇させるという問題があった。また、抵抗上昇を防止するために反応Al膜を薄くした場合には、酸に対する耐性が不十分で、配線以外の部分とのエッチング選択性がとれないという問題があった。

【0007】

【発明が解決しようとする課題】以上説明したように従来の半導体装置の製造方法では、Cu配線の上面を覆う際にp-SiNを形成するか、あるいは配線上に選択的にバリア層を成膜する方法が考えられるが、配線間容量の増大、成膜したバリア層のバリア性や均一性等の問題があった。

【0008】本発明は上記課題を解決するためになされたもので、その目的とするところは、バリア性及び均一性よく配線間容量及び配線抵抗を低減する配線を有する半導体装置の製造方法を提供することにある。

【0009】

【課題を解決するための手段】本発明の請求項1に係る半導体装置の製造方法は、基板上に絶縁膜を形成する工程と、前記絶縁膜上に選択的にエッチングマスクを形成する工程と、前記絶縁膜をエッチングマスクを用いて選択的に除去して溝を形成する工程と、前記エッチングマスクを残存させたまま前記溝内にCu配線を形成する工程と、前記エッチングマスクと前記Cu配線上にバリア部材を形成する工程と、前記バリア部材を窒素雰囲気あるいは酸素雰囲気中で熱処理することにより前記エッチングマスク材と該バリア部材を共晶反応させるとともに、前記Cu配線上の該バリア部材を窒化あるいは酸化する工程と、前記エッチングマスクと共晶反応した前記バリア部材を選択的に除去して前記Cu配線上に選択的にバリア層を形成する工程とを有することを特徴とする。

【0010】また、本発明の請求項2に係る半導体装置の製造方法は、基板上に絶縁膜を形成する工程と、前記絶縁膜上に選択的にエッチングマスクを形成する工程と、前記絶縁膜をエッチングマスクを用いて選択的に除去して溝を形成する工程と、前記エッチングマスクを残存させたまま前記溝内にCu配線を形成する工程と、前記エッチングマスクと前記Cu配線上にバリア部材を形成する工程と、前記バリア部材を熱処理することにより前記エッチングマスク材と該バリア部材を共晶反応させる工程と、前記エッチングマスクと共晶反応した前記バリア部材を選択的に除去して前記Cu配線上に選択的に前記バリア部材を残存させる工程と、残存させた前記バリア部材を窒化あるいは酸化して前記Cu配線上に選択的にバリア層を形成する工程とを有することを特徴とする。

【0011】本発明の望ましい形態を以下に示す。

【0012】(1)バリア部材はTi, AlあるいはZrである。

【0013】(2)エッチングマスクはSiである。

【0014】また、本発明の請求項4に係る半導体装置の製造方法は、基板上に絶縁膜を形成する工程と、前記絶縁膜を選択的に除去して溝を形成する工程と、前記溝内にCu配線を形成する工程と、前記Cu配線及び前記

10

20

30

40

50

絶縁膜上に、Cuよりも酸素との結合力が強く、かつ耐酸化性及び耐Cu拡散バリア性の高いバリア材料を形成する工程と、前記バリア材料を熱処理することにより前記Cu配線上にCuと前記バリア材料との合金層を形成する工程と、前記バリア材料を、該バリア材料を含む酸により処理することにより、前記Cu配線上以外のバリア材料を選択的に除去する工程と、前記Cu配線上に残存した合金層を、Cuを還元させ、かつバリア材料を酸化させる雰囲気で熱処理することにより、該合金層を選択的に酸化してバリア層を形成する工程とを有することを特徴とする。

【0015】本発明の望ましい形態を以下に示す。

【0016】(1)バリア材料の主構成元素は、Al, Be, Cr, Mg, Ta, Nb, Ti, Zr, V, Sn, W, Coである。

【0017】(作用)本発明では、溝を形成する際に用いられるエッチングマスクをCu配線形成時に残存させる。そして、溝にCu配線を形成し、さらにこのCu配線とエッチングマスク上に、熱処理により異なる共晶反応を示すバリア部材を形成する。そして、酸素雰囲気あるいは窒素雰囲気でバリア部材を熱処理することにより、Cu配線とエッチングマスクとの異なる共晶反応を示し、Cu上のバリア部材を選択的に窒化あるいは酸化することができる。従って、このCu配線上にのみバリア部材を選択的に形成することができる。従って、従来のようにバリア部材をCu配線のみならず絶縁膜上にも全面に形成する場合に比較して配線間容量を低減することができる。また、このバリア部材形成のプロセスは自己整合的に行うことができるため、バリア性の良好なバリア層を形成することができる。さらに、Cu配線上以外のバリア部材の選択的除去も容易となり、その際のディッキング等も低減できるため、均一性が良好で、配線抵抗の低減を防止したバリア層の形成が可能となる。

【0018】また、別の本発明では、Cu配線を形成した後、Cuよりも酸素との結合力が強く、かつ耐酸化性及び耐Cu拡散バリア性の高いバリア材料を形成し、熱処理によりCu配線上に合金層を形成する。そして、バリア材料を、該バリア材料を含む酸により処理することにより、Cu配線上以外のバリア材料を選択的に除去する。この際、バリア材料の選択的除去として、上記のようにバリア材料を含む酸により処理する。これにより、バリア層を自己整合的に形成できるのみならず、Cu配線上とそれ以外の部分とのエッチング選択性を向上させることができる。すなわち、酸中に含まれるバリア材料の存在により、反応層と未反応層との電極電位の差が生じ、これによりエッチング選択性が向上する。従って、バリア材料の厚さを厚くしてエッチング選択性を確保する必要なく、薄いバリア層で済む。また、配線以外の部分とのエッチング選択性を確保しながら、バリア材料の拡散を低減し、抵抗上昇を防止することができる。ま

た、エッチング選択性を確保できるため、高いバリア性を保持することができる。

【0019】

【発明の実施の形態】以下、図面を参照しながら本発明の実施形態を説明する。

【0020】(第1実施形態) 図1及び図2は本発明の第1実施形態に係る半導体装置の製造方法の工程断面図である。

【0021】まず、図1(a)に示すように絶縁膜1上にエッチングマスクとしてSi金属層2をスパッタリング法等で成膜した後、このSi金属層2上にレジスト3を塗布し、このレジスト3を光露光法などによりパターニングしてレジストパターンを形成する。そして、このレジストパターンをマスクにRIE法などを用いてSi金属層2に溝パターン4を加工する。その後レジスト3をアッシング法等により除去し、図1(b)に示すようにSi金属層2の削れにくい条件で絶縁膜1をRIE法などで加工する。

【0022】次に、図1(c)に示すようにライナー材としてTiN金属層5をスパッタリング法やCVD法で形成した後、Cu金属層6をスパッタリング法、CVD法あるいはメッキ法等を用いて堆積させる。その後図1(d)に示すように溝部分以外のCuやTiNをCMP法などを用いて除去する。

【0023】次に、図2(e)に示すように、Si金属層2及びCu金属層6の表面にTi金属層7をスパッタリング法などで堆積させる。ここで、Tiは、酸素雰囲気あるいは窒素雰囲気中の熱処理により、Si金属層2とCu金属層6とで異なる共晶反応を示す物質である。次いで、窒素雰囲気中で熱処理を行うことで、Si金属層2とCu金属層6とで異なる共晶反応を示す。具体的には、図2(f)に示すようにSi金属層2上のTiはSiと合金反応をおこしTiSi合金層8が形成され、Cu金属層6上のTiは窒化され、Cuの拡散防止層として有効なTiN膜9が形成される。最後に、図2(g)に示すようにTiSi合金層8をCDE法などを用いて選択的に除去する事により、Cu金属層6上にのみCu拡散防止層としてTiN膜9を自己整合的に形成することができる。

【0024】ここで、Cuのライナー材であるTiN金属層5はTaN, WN, WSiなどでもよく、Ti金属層7はCu中に拡散しにくい材料で、熱処理により容易にSi金属層2と共晶反応をおこす材料がよく、Zr, Be, Cr, Mg, Ta, Nb, Ti, V, Sn, W, Coなどでもよい。

【0025】このように本実施形態では、Cu金属層6上にのみバリア層であるTiN膜9を選択的に形成できるため、従来のようにバリア層をCu配線のみならず絶縁膜上にも全面に形成する場合に比較して、配線間容量を低減することができる。また、このTiN膜9形成の

プロセスは自己整合的に行うことができるため、バリア性の良好なバリア層を形成することができる。また、Cu金属層6上以外のバリア部材の選択的除去も容易となり、その際のディッシング等も低減できるため、均一性が良好で、配線抵抗の低減を防止したTiN膜9の形成が可能となる。

【0026】(第2実施形態) 図3は本発明の第2実施形態に係る半導体装置の製造方法の工程断面図である。

本実施形態に係る製造方法において、第1実施形態と共に通する部分には同一の符号を付し、また共通する図面及び詳細な説明は省略する。

【0027】本実施形態では、第1実施形態の図1

(a)～(e)に示す工程は第1実施形態と同様に製造する。その後真空中で熱処理を行うと、図3(f)に示すようにSi金属層上のTiはSiと合金反応をおこしTiSi合金層8が形成され、Cu上のTiは反応せずに残る。次に図3(g)に示すようにTiSi合金層8をCDE法などを用いて除去する事で、Cu金属層6上にのみTi金属層7を残す事ができる。その後窒素雰囲気中で熱処理することにより、図3(h)に示すようにCuの拡散防止層として有効なTiN膜9が形成される。なお、酸素雰囲気中で熱処理することでTiO膜を形成してもよい。

【0028】このように本実施形態によれば、第1実施形態と同様の効果を奏すとともに、第1実施形態よりもさらにエッチング選択性の高いバリア層の形成が可能となる。ここで、Cuのライナー材として用いられるTiN金属層5はTaN, WNなどでもよく、Ti金属層7はCu中に拡散しにくい材料で、熱処理により容易にSi金属層2と共晶反応をおこす材料がよく、Al, Zrなどでもよい。

【0029】(第3実施形態) 図4及び図5は本発明の第3実施形態に係る半導体装置の製造方法の工程断面図である。

【0030】まず、図4(a)に示すように、Si基板41上に熱酸化膜42を100nm形成した後、p-SiN膜43を30nm堆積し、さらにCVD酸化膜44を400nm堆積する。次いで、通常のPEP及び酸化膜エッチングにより絶縁膜44中に深さ400nmの配線パターン溝を形成する。このパターンはL/S=0.4/0.4μm、長さ1.5mmの配線が電極パッドに接続されたものである。この配線パターン溝上に、スパッタリング法により図示しない20nmのTaN膜45及び800nmのCu金属層46を堆積し、450°C真空中熱処理により溝内にCu金属層46を埋め込み、CMP処理を施してCu配線を形成する。

【0031】次に、図4(b)に示すように、バリア材料として、Cu金属層46及びCVD酸化膜44上の全面にスパッタリング法によりAl膜47を5nm形成する。このバリア材料であるAlは、Cuよりも酸素との

結合力が強く、かつ耐酸化性及び耐Cu拡散バリア性の高い材料である。

【0032】そして、このA1膜47を大気中150℃で1時間熱処理を施す。この熱処理により、図4(c)に示すようにCu金属層46上のA1膜47は反応によりCuA1_x層48を形成する。次に、図5(d)に示すように、Cu金属層46上以外のA1膜47を除去するため、濃リン酸中に半導体装置を浸す。この際、濃リン酸中にはA1イオンが0.1mol/lになるようにあらかじめバリア材料として用いられたA1を溶解してある。

【0033】なお、このように酸中にA1イオンを含有させる方法としては、上記のようにA1膜を溶解していく方法以外にも、同時に過剰なA1膜をエッチングすること等によってもよく、上記方法と同様の効果を奏する。このようにA1イオンを含有することにより、反応層であるCuA1_x層48と、未反応層であるA1膜47とで電極電位の差が生じ、これによりエッチング選択性が向上する。従って、Cu金属層46上のCuA1_x層48を損なうことなく、Cu金属層46上以外のA1膜47を完全に除去することが可能となる。

【0034】この後、窒素と水素の混合雰囲気中で450℃、2時間のアニールを施す。これにより、図5(e)に示すように、CuA1_x層48中のA1が選択的に酸化されてA1O_x層49がCu金属層46表面に形成される。雰囲気中に水素を含有しなくとも、純窒素、純アルゴン等、非酸化雰囲気であれば同様の効果が得られる。

【0035】酸化耐性を調べるため、この半導体装置を300℃1時間オーブン中で熱処理したところ、Cu配線の抵抗上昇は確認されず、良好な酸化耐性を示した。

【0036】これに対して濃リン酸をそのまま、すなわちA1イオンを含有させずに用いた場合、窒素と水素の混合雰囲気中でアニールした後のオーブン試験により20%の抵抗上昇が観測された。これは、Cu配線上のCuA1_x層もエッチングされたため、酸化防止層としてのA1O_x層が十分に形成されなかつことによる。

【0037】また、A1膜47を厚く形成することにより、CuA1_x層48を厚く形成して酸耐性を向上させることも可能であるが、その場合はCu配線中に拡散するA1量が過剰となり、窒素と水素の混合雰囲気中のアニールによっても選択酸化が十分に進まず、Cu配線の抵抗を上昇させてしまう。従ってA1膜47はエッチング選択性が確保できる範囲で薄く形成することが望ましい。

【0038】このように本実施形態によれば、バリア材料であるA1膜47の選択性的除去として、バリア材料であるA1を含む酸により処理することにより、バリア層をCu配線上に自己整合的に形成できるのみならず、Cu配線上とそれ以外の部分とのエッチング選択性を向上

させることができる。従って、バリア材料の厚さを厚くしてエッチング選択性を確保する必要なく、薄いバリア材料で済む。また、配線以外の部分とのエッチング選択性を確保しながら、バリア材料の拡散を低減し、抵抗上昇を防止することができ、かつ高いバリア性を保持することができる。

【0039】

【発明の効果】以上詳述したように本発明によれば、エッチングマスクを残存させたまま酸素雰囲気或いは窒素雰囲気で熱処理することにより、Cu配線上にのみ選択的にバリア層を形成することができる。従って、配線間容量を低減することができ、かつバリア性及び均一性の良好なバリア層を形成することができ、さらに配線抵抗の上昇を防止することができる。

【0040】また、別の本発明では、バリア部材を該バリア部材を含む酸により処理することにより、バリア材料のエッチング選択性を向上させることができる。これにより、配線間容量を低減することができるとともに、配線以外の部分とのエッチング選択性を確保しながら、

バリア部材の拡散を低減し、抵抗上昇を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体装置の製造方法の工程断面図。

【図2】同実施形態に係る半導体装置の製造方法の工程断面図。

【図3】本発明の第2実施形態に係る半導体装置の製造方法の工程断面図。

【図4】本発明の第3実施形態に係る半導体装置の製造方法の工程断面図。

【図5】同実施形態に係る半導体装置の製造方法の工程断面図。

【符号の説明】

1…絶縁膜

2…Si金属層

3…レジスト

4…溝パターン

5…TiN金属層

6, 46…Cu金属層

7…Ti金属層

8…TiSi合金層

9…TiN膜

41…Si基板

42…熱酸化膜

43…p-SiN膜

44…CVD酸化膜

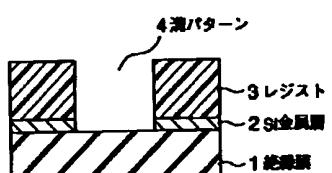
45…TaN膜

47…A1膜

48…CuA1_x層

50 49…A1O_x膜

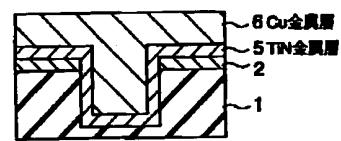
【図1】



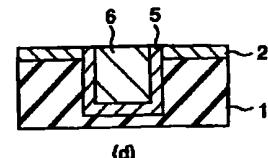
(a)



(b)

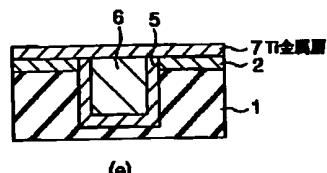


(c)

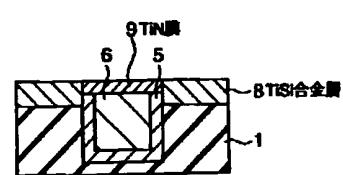


(d)

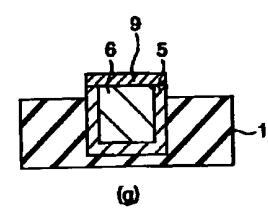
【図2】



(e)

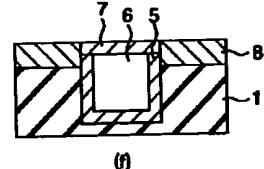


(f)

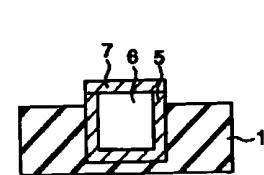


(g)

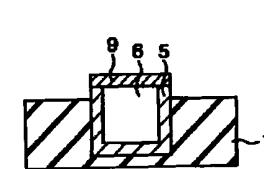
【図3】



(i)

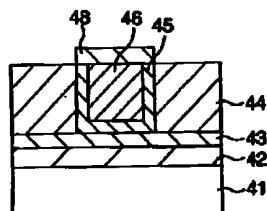


(j)

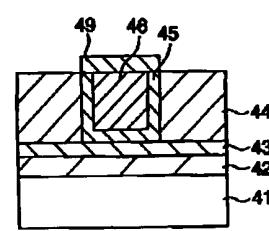


(l)

【図5】

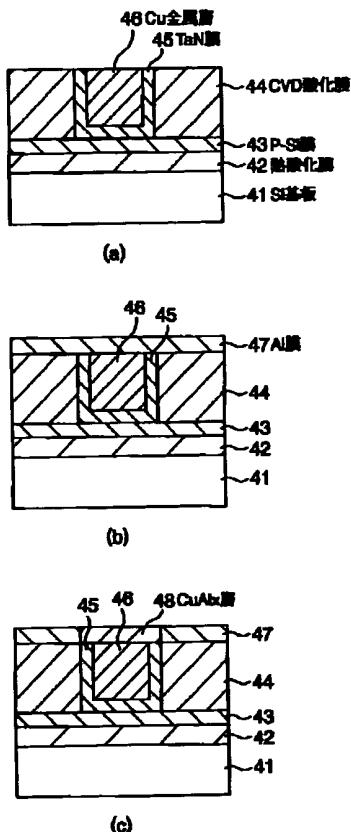


(d)



(e)

【図4】



フロントページの続き

(72)発明者 梶田 明広
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72)発明者 豊田 啓
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72)発明者 松田 哲朗
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

(72)発明者 金子 尚史
神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内

F ターム(参考) 4M104 BB04 BB14 BB17 BB18 BB25
BB30 BB32 BB33 DD37 DD43
DD51 DD65 DD78 DD89 EE17
FF13 FF18 HH15 HH20
5F033 HH07 HH08 HH11 HH12 HH15
HH17 HH18 HH19 HH21 HH28
HH32 HH33 HH34 HH35 MM01
MM05 MM12 MM13 PP06 PP15
PP26 QQ08 QQ09 QQ11 QQ12
QQ19 QQ27 QQ35 QQ48 QQ70
QQ73 QQ76 QQ78 QQ89 QQ90
RR04 RR06 SS15 SS25 SS27
TT02 XX09 XX20 XX24